ESTUDO ANALÍTICO E EXPERIMENTAL DO SINCRONISMO NAS REDES DE PLLs (PHASE LOCKED LOOP's), EM TOPOLOGIAS MESTRE-ESCRAVO

Ricardo Andrietta Mendes[1], *Paulo Alves Garcia*[2]

Abstract — *The study of the synchronism is present in many areas of human knowledge, with huge importance in engineering, in networks of computers, in telecommunications networks and, additionally in the physics and biology. In this article the performance of telecommunications networks under some unavoidable internal and external effects is mathematically discussed for topologies Master-Slave Single Chain and Single Link, in terms of the existence of synchronism and stability of this state. Through Simulink® software, the mentioned topologies are simulated and after that, laboratory experimental tests are developed for confirming and comparing the previous results obtained with the mathematical analysis and simulation.*

Index Terms — *synchronism, stability, Phase Locked Loop, PLL.*

INTRODUÇÃO

O aspecto sincronismo revela-se importante na natureza e em vários segmentos da ciência e da tecnologia. Porém, o sincronismo é assunto de grande interesse para o projetista de redes de telecomunicações. Principalmente com a digitalização das informações, na utilização da multiplexação por divisão de tempo (Time Division Multiplexing - TDM), os sinais dos diversos canais são amostrados a intervalos regulares. Como resultado disso, se não houver sincronismo entre os diversos canais multiplexados, pode haver perda de bits ou superposição da informação [2], [3].

O SINCRONISMO

- Seguem então alguns outros exemplos onde o sincronismo se faz relevante [2], [3], [4]:
- Estabelecimento de um sistema mundial de distribuição de sinais de tempo, propiciando as mais diversas aplicações, tais como aquelas relacionadas à coordenação de transportes ferroviários e marítimos.
- Sincronismo de diversos relógios localizados em diferentes pontos de multiplexação em uma rede digital de comunicações.
- Estabelecimento do sincronismo de um supercomputador constituído de múltiplos processadores.

AS MALHAS DE SINCRONISMO DE FASE (PLLS)

As primeiras aplicações de malhas de sincronismo de fase (Phase Locked Loops - PLLs) datam da década de 1930. Porém, foi no início da década de 60, com o advento dos circuitos integrados que se iniciaram as aplicações mais freqüentes dos PLLs, principalmente na rádio-comunicação [2].

Descrição e funcionamento dos PLLS

Usados para o controle de sinais de tempo, os PLLs são dispositivos cujo sinal interno segue o sinal externo com o qual se pretende estabelecer um sincronismo de modo a se obter $\frac{d\theta_i}{dt} = \frac{d\theta_o}{dt}$, onde θ_i representa a fase do sinal de entrada e θ_o a fase do sinal de saída.

Os PLLs são sistemas de realimentação formados por três componentes básicos: Detector de fase (PD - Phase Detector), filtro passa baixas (LPF - Low Pass Filter) e um oscilador controlado por tensão (VCO - Voltage Controlled Oscillator) conforme mostrado na figura 1:

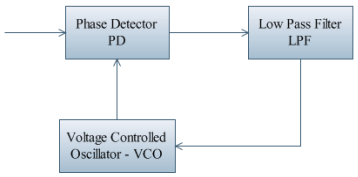

Figura 1 – Diagrama de Blocos de um PLL

A função do PLL é anular a variação temporal da diferença entre a fase do sinal gerado pelo oscilador local e a fase do sinal de entrada [10]. Mais precisamente, os PLLs ajustam à fase e a freqüência do sinal de saída de maneira que os erros de fase e de freqüência entre o sinal de saída e o sinal de entrada sejam reduzidos ao mínimo possível [2], [5], [6].

Equacionamento de um PLL de segunda ordem

A partir do diagrama apresentado na figura 1, pode-se deduzir a equação (1) que descreve o funcionamento de um PLL de segunda ordem**:**

$$\varphi'' + \varphi' + \mu\,\mathrm{sen}(\varphi) = \theta_i'' + \theta_i' \qquad (1)$$

onde:

μ = parâmetro real positivo representando o ganho da malha

$\varphi(t)$ = erro de fase da resposta do sistema;

$\theta_i(t)$ = fase do sinal de entrada.

Adota-se por simplificação que a variação da fase de entrada $\theta_i(t)$ pode seguir as seguintes funções:

$\theta_i = \Omega t + \phi \Rightarrow \Omega = \frac{d\theta}{dt} \longrightarrow$ velocidade de variação de fase (comportamento linear) (3)

$\theta_i = \frac{Rt^2}{2} + \Omega t + \phi \Rightarrow R = \frac{d\Omega}{dt} \longrightarrow$ (4) Aceleração de variação de fase (comportamento uniformemente variado – quadrático)

Por conveniência, assume-se R, ϕ e Ω constantes positivas.

Adotando-se a equação (3) e substituindo-se em (1) tem-se:

$$\varphi'' + \varphi' + \mu\,\mathrm{sen}(\varphi) = Rt + R + \Omega \qquad (4)$$

Para que a equação (4), possa reger o funcionamento de um PLL de 2ª ordem, admitindo-se soluções de pontos de equilíbrio estáveis, tem-se que obrigatoriamente R=0 e $\Omega \leq \mu$.

Aplicando-se este critério na expressão (4) chega-se em:

$$\varphi'' + \varphi' + \mu\,\mathrm{sen}(\varphi) = \Omega \qquad (5)$$

1 Ricardo Andrietta Mendes, Engenheiro Eletrônico, Universidade Presbiteriana Mackenzie, Rua da Consolação, 930, 01302-907, Consolação, São Paulo,SP, Brazil, mendes04@terra.com.br

2 Paulo Alves Garcia, Professor e Coordenador de Extensão da Escola de Engenharia, Universidade Presbiteriana Mackenzie, Rua da Consolação, 930, 01302-907, Consolação, São Paulo,SP, Brazil, paulo.garcia@mackenzie.br

Sendo esta a equação final que rege o funcionamento de um PLL de 2ª ordem.

TOPOLOGIAS DE REDES DE OSCILADORES COM PLLS

Os osciladores com PLLs podem ser interligados em diversas topologias de rede.

A classificação das redes tipo mestre-escravo é adotada quanto ao sentido de distribuição das bases de tempo: Podem ser redes de via única, OWMS (One Way Master Slave) ou de via dupla, TWMS (Two Way Master Slave) [2].

Nas redes OWMS o nó mestre tem sua base de tempo própria e independente dos demais. Os nós escravos tem bases de tempo que dependem exclusivamente de um nó, que pode ser o mestre ou outro escravo. As redes OWMS classificam-se, quanto à topologia em: cadeia simples ou estrela simples. Nas redes TWMS o nó mestre tem sua base de tempo própria, mas ajustável aos outros nós. Os nós escravos podem ter sua base de tempo dependente de mais de um nó. Nessas redes, o mestre não apenas transmite a freqüência de sincronismo para os escravos, mas também recebe sinais de sincronismo dos mesmos. Esses sinais provenientes dos escravos permitem a correção de atrasos causados pela mudança de posição relativa entre mestres e escravos, no caso de aplicações móveis. As redes TWMS classificam-se, quanto à topologia em: cadeia dupla, estrela dupla, enlace simples e enlace duplo.

Na análise da estabilidade de uma rede de osciladores podem ser considerados como principais distúrbios: ruídos ou transientes de curta duração, degradação de parâmetros e atrasos de propagação. Este artigo irá comparar dois tipos de topologias: as redes mestre-escravo cadeia simples e enlace simples. Através de fatores externos ou inevitáveis, por exemplo, degradação de parâmetros dos osciladores, tais soluções poderão ser afetadas de modo que as perturbações cresçam de forma linear [2], [5], [7], [8], [1], [6].

Topologia Cadeia Simples

As redes mestre-escravo apresentam custo mais baixo e maior facilidade de implementação do que as demais redes. Neste artigo, estuda-se o sincronismo de redes simples constituídas de um mestre e um escravo, pela análise da estabilidade da solução síncrona afetada por perturbações que crescem lentamente, causadas por degradações de parâmetros dos PLLs.

Espera-se que os ruídos de curta duração sejam eliminados pelos filtros dos PLLs. Em [2] comenta-se que, os PLLs de ordem 2 possuem um bom comportamento, no sentido a evitar o sincronismo com sinais espúrios. Dessa forma irá se estudar a estabilidade de uma rede mestre-escravo, frente aos fatores: atrasos de propagação e degradação de parâmetros.

Uma topologia cadeia simples com um mestre e um escravo, constitui-se de um oscilador mestre acoplado a um oscilador PLL, sem nenhum tipo de realimentação, conforme ilustrado pela figura 2. Portanto o equacionamento dessa rede já foi realizado e apresentado no item 3.2.1, onde se detalha um PLL isolado, a partir do sinal recebido do oscilador mestre. No próximo item, estará se estudando, uma topologia enlace simples [2], [9], [6].

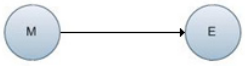

Figura 2 - Cadeia Simples (1 Mestre -1Escravo) [2]

Topologia Enlace Simples

Uma rede mestre escravo enlace simples com um mestre e um escravo, pode ser representada conforme mostra a figura 3:

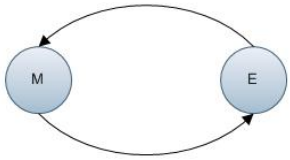

Figura 3 – Enlace Simples (1 Mestre - 1Escravo) [2]

Para este estudo ressaltam-se algumas premissas básicas:

- Nos sinais de sincronismo existem atrasos de propagação;
- as freqüências de livre curso dos PLLs da rede não são iguais;
- na temporização dos osciladores do mestre e dos escravos podem ocorrer perturbações.

Modelagem e equacionamento

A figura 4 apresenta o diagrama de blocos de uma rede Enlace Simples.

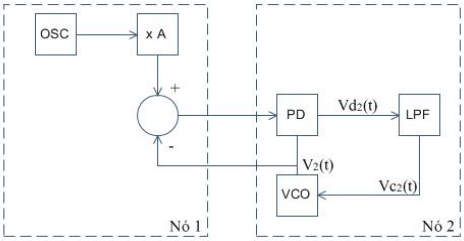

Figura 4 – Diagrama de blocos da rede Enlace Simples

Parâmetros envolvidos:

ϕ_m → Fase do oscilador de livre curso (mestre)

Ω_m → Desvio de freqüência devido a degradação de parâmetros do nó 1 (mestre)

Ω_2 → Desvio de freqüência devido a degradação de parâmetros do nó 2 (escravo)

ω_m → Freqüência inicial do oscilador mestre

ω_2 → Freqüência inicial do oscilador escravo

$\theta_i = \Omega t + \phi \Rightarrow \Omega = \frac{d\phi}{dt} \longrightarrow$ Velocidade de variação de fase, como visto em (2)

$\theta_i = \frac{Rt^2}{2} + \Omega t + \phi \Rightarrow R = \frac{d\Omega}{dt} \longrightarrow$ Aceleração de variação de fase, como visto em (3)

Por conveniência, assume-se R, Ω e ϕ como constantes positivas. Assim, as fases nas entradas e saídas dos osciladores podem ser escritas como:

Entrada do Nó 1 → $\phi_m(t) = \omega_m t + \frac{\Omega_m t^2}{2}$ (6)

Saída do Nó 1 → $\phi_1(t) = A\phi_m(t) - \phi_2(t - \sigma_{1,2} - \sigma_{2,1})$ (7)

Entrada no Nó 2 →

$\phi_1(t - \sigma_{1,2}) = A\phi_m(t - \sigma_{1,2}) - \phi_2(t - \sigma_{1,2} - \sigma_{2,1})$ (8)

Saída do Nó 2 → $\phi_2(t) = \omega_2 t + \frac{\Omega_2 t^2}{2} + \theta_2(t)$ (9)

Através do estudo do fluxo dos sinais de tempo na rede enlace simples, pode-se deduzir a equação (10) que descreve o funcionamento dessa rede.

$$\Delta\phi''_{M,2} + \mu_{12}\Delta\phi'_{M,2} + \mu_{12}\mu_{22}\,\mathrm{sen}\Big[2\Delta\phi_{M,2} - (\sigma_{1,2}+\sigma_{2,1})\Delta\phi'_{M,2} + (\omega_m + \Omega_m t)(\sigma_{1,2} - \sigma_{2,1} - A\sigma_{1,2}) + \frac{A\Omega_m\sigma_{1,2}^2}{2} + (A-2)\left(\omega_m t + \frac{\Omega_m t^2}{2}\right)\Big] = \Omega_m - \Omega_2 + \mu_{12}(\omega_m - \omega_2) - \mu_{12}(\Omega_m - \Omega_2)t \quad (10)$$

onde:

$\Delta\phi''_{M,2}$ = Derivada do erro de freqüência entre o nó mestre e o nó 2.

$\Delta\phi'_{M,2}$ = Erro de freqüência entre o nó mestre e o nó 2.

$\Delta\phi_{M,2}$ = Erro de fase entre o nó mestre e o nó 2.

$\sigma_{1,2}$ = Atraso de propagação entre o nó 1 e o nó 2

$\sigma_{2,1}$ = Atraso de propagação entre o nó 2 e o nó 1

μ_{12}, μ_{22} = Ganhos das malhas

Análise do comportamento dinâmico da rede

Para que se possam efetuar os cálculos dos pontos de equilíbrio, faz-se na equação (10) a linearização $\mathrm{sen}\,x \cong x$ e obtém-se:

$$\Delta\phi''_{M,2} + \mu_{1,2}\Delta\phi'_{M,2} + \mu_1\mu_0\Big[2\Delta\phi_{M,2} - (\sigma_{1,2}+\sigma_{2,1})\Delta\phi'_{M,2} + (\omega_m + \Omega_m t)(\sigma_{1,2} + \sigma_{2,1} - A\sigma_{1,2}) + \frac{A\Omega_m\sigma_{1,2}^2}{2} + (A-2)\left(\omega_m t + \frac{\Omega_m t^2}{2}\right)\Big] = \Omega_m - \Omega_2 + \mu_{12}(\omega_m - \omega_2) - \mu_{12}(\Omega_m - \Omega_2)t \quad (11)$$

Através da análise de sistemas dinâmicos, [10] obtêm-se os seguintes valores dos erros de freqüência para uma situação de equilíbrio:

Exprimindo-se o ponto de equilíbrio em função das variáveis do sistema tem-se:

$$\Delta\phi'_{M,2} = -\frac{1}{2}\Omega_m\left[\frac{1}{\mu_{22}} - (\sigma_{1,2}+\sigma_{2,1})\right] + \frac{\Omega_2}{\mu_{22}} \quad (12)$$

$$\Delta\phi''_{M,2} = 0 \quad (13)$$

$$\Delta\phi''_{M,2} = \varphi''_m(t) - \varphi''_2(t) = 0 \Rightarrow \varphi''_m(t) = \varphi''_2(t) \quad (14)$$

Derivando-se a equação (6) duas vezes tem-se:

$$\varphi''_m(t) = \Omega_m$$

Assim:

$$\varphi''_m(t) = \varphi''_2(t) = \Omega_m \quad (15)$$

Análise dos resultados da modelagem

- O oscilador do nó escravo não se sincroniza em fase com o oscilador do nó mestre quando há degradação de parâmetros de longa duração.
- Nessas condições, conforme demonstra a equação (12), o erro de freqüência entre o nó mestre e o nó escravo atinge valor constante, ou seja, com erro de freqüência constante não há sincronismo de fase e nem de freqüência.
- Como apresentado na expressão (13), o erro de aceleração tende a zero: .
- A equação (15) mostra que a aceleração do nó escravo acompanha a aceleração do nó mestre, que é igual à taxa de desvio de freqüência.
- Pode-se facilmente observar pela equação (12) que, se as taxas de desvios de freqüência, devido às degradações de parâmetros do mestre e do escravo, forem iguais e os atrasos e forem desprezíveis, o erro de freqüência será igual a zero, ou seja, haverá sincronismo de freqüência.

SIMULAÇÕES NO SOFTWARE SIMULINK ®

Nos itens 4.3 e 4.4, verificou-se matematicamente que, se os atrasos envolvidos forem desprezíveis e as taxas de desvios de freqüência, devido às degradações de parâmetros do mestre e do escravo, forem iguais, a rede oberá o sincronismo de freqüência.

Neste capítulo irá se analisar, em situações dinâmicas, após transientes rápidos, como será a resposta da rede, até obter-se a situação de sincronismo. Esta análise será feita através de simulação.

São simulados neste capítulo, através da versão 7 do software Simulink ®, os equacionamentos de um PLL isolado, representando uma topologia de rede Cadeia Simples e de uma topologia Enlace Simples, apresentando-se os resultados em forma de gráficos.

São comparados os resultados das duas topologias. Para isso, no item 5.1 será simulada a equação (5), que representa a topologia cadeia simples.

Simulação da rede Mestre-Escravo na Topologia Cadeia Simples

Foi simulada a equação (5), adotando-se os seguintes parâmetros de uma situação de equilíbrio: $\Omega < \mu$ (Ω= 3,7), μ = 4. Estes são valores adotados para os quais foi possível uma melhor visualização dos resultados.

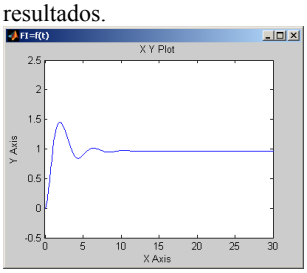

Figura 6 - Rede Cadeia Simples - erro de fase (FI) x tempo (t)

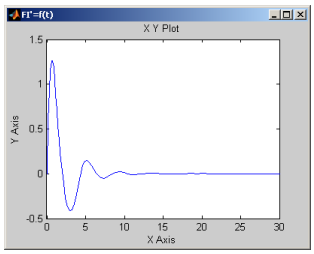

Figura 7 - Rede Cadeia Simples - erro de freqüência (FI') x tempo (t)

Apresentam-se a seguir as figuras 6 e 7 com as curvas de resposta para uma rede Mestre-Escravo na topologia Cadeia Simples. Tais curvas mostram claramente uma situação de obtenção do sincronismo. O oscilador do PLL se sincroniza com o gerador externo, obtendo uma situação de equilíbrio.

Simulação da rede Mestre-Escravo na Topologia Enlace Simples

Para fazer-se esta simulação, foram adotadas as seguintes simplificações: A partir da equação (11), considera-se que as taxas de desvio de freqüência, devido à degradação de parâmetros do nó mestre e do nó escravo, são iguais ($\Omega_m = \Omega_2$). Considera-se também que os atrasos de propagação do nó mestre para o nó escravo são iguais aos atrasos de propagação em sentido contrário, isto é: $\sigma_{1,2} = \sigma_{2,1} = \sigma$. Adicionalmente adotou-se por simplificação que o parâmetro A é igual a 2. Reescrevendo a equação (11), considerando-se as condições acima, tem-se:

$$\Delta\phi''_{M12} + \mu_{12}\Delta\phi'_{12} + \mu_{12}\mu_{22}\left[2\Delta\phi_{M,2} - 2\sigma\Delta\phi'_{M,2} + \omega_m\sigma^2\right] = \mu_{12}(\omega_m - \omega_2) \quad (11)$$

Simplificando-se a equação (11) e normalizando-se para simulação, tem-se:

x” + x’ + sen (2.x – 2.τ.x’ + ω. τ. τ) = D

onde:

X = Erro de fase; X’= Erro de freqüência;

τ = Atraso de propagação;

ω = Freqüência de oscilação inicial do mestre;
D = Delta ômega = Diferença de freqüências $(\omega_{m1} - \omega_2)$ iniciais do sistema.

Foi simulada a equação (11), adotando-se os seguintes parâmetros de uma situação de equilíbrio: D = 0,9 e atraso τ = 0,1. Estes são valores adotados para os quais foi possível uma melhor visualização dos resultados.

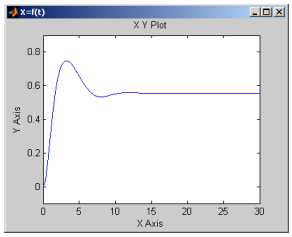

Figura 9 - Rede Enlace Simples erro de fase (X) x tempo (t)

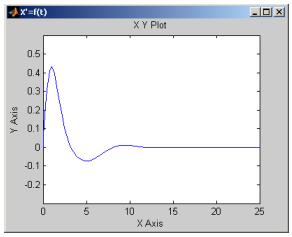

Figura 10 - Rede Enlace Simples - erro de freqüência (X') x tempo (t)

Da mesma forma como nas simulações da rede Cadeia Simples, os gráficos das figuras 9 e 10 mostram a obtenção do sincronismo na rede Enlace Simples. O oscilador do PLL se sincroniza com o gerador externo, obtendo uma situação de equilíbrio.

Análise dos resultados da simulação

A simulação executada neste capítulo comprova o estudo matemático da rede Enlace Simples, onde pode-se observar uma maior velocidade para se atingir a estabilidade do estado síncrono quando comparada com a simulação da rede Cadeia Simples. Isto pode ser notado comparando-se os valores dos gráficos apresentados nas figuras 6 e 7 (topologia Cadeia Simples) e nas figuras 9 e 10 (topologia Enlace Simples) onde na primeira o comportamento oscilatório é maior que na segunda, ou seja, na topologia Enlace Simples o sistema atinge o equilíbrio mais rapidamente. Verificou-se que a situação de equilíbrio (sincronismo) ocorre para: D <1 e atraso τ < 1,147.

ENSAIO PRÁTICO

Foi escolhido o CI PLL CD4046-1 da família CMOS para ser utilizado nos ensaios práticos, por seu baixo custo e fácil disponibilidade.

Foram ensaiadas duas topologias. A primeira topologia, representada por um PLL isolado, equivale a uma rede tipo cadeia simples, que apresenta uma solução do tipo malha aberta para os sinais de sincronismo, pelo ponto de vista da rede e a segunda topologia representando uma rede tipo enlace simples, que apresenta uma solução de malha fechada para os sinais de sincronismo da rede.

Ensaio de um PLL isolado (rede Cadeia Simples)

O primeiro passo foi verificar e medir a freqüência de livre curso do PLL 4046-1. Para isso o PLL foi alimentado com V_{cc} = 5 Volts, e os valores utilizados para os componentes foram: R_1 = 6,8 kΩ, R_2 = 680 kΩ, R3 = 1 MΩ, R_4 = 100 kΩ, C_1 = 10 nF, C_2 = 2,2 µF seguindo-se a configuração mostrada pela figura 11.
Nessa etapa não foi aplicado nenhum sinal na entrada do PLL (Vi = 0V). Foi medida com o osciloscópio a tensão de saída do VCO no pino 4, constatando-se que a freqüência de livre curso do PLL ensaiado é igual a 207,5 Hz.

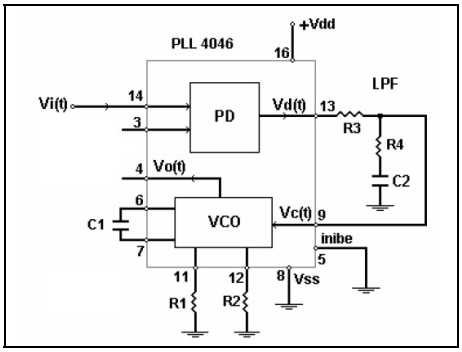

Figura 11 - PLL em malha fechada [2]

Em seguida foram conectados os pinos 3 e 4 do CI PLL, fechando-se a malha do mesmo, conforme a configuração mostrada pela figura 13. Foi injetado um sinal de onda quadrada, previamente ajustado com 5 Vpico e 100Hz na entrada externa do detector de fase do PLL (pino 14). O osciloscópio foi ajustado para fazer a varredura sincronizada pelo canal 1 do mesmo, sendo esta ponta de prova conectada ao pino 14 do PLL. O canal 2 do osciloscópio manteve-se conectado à saída do VCO do PLL (pino 4).

Inicialmente observou-se a completa falta de sincronismo entre as freqüências de entrada do PLL (pino 14) e de saída do PLL (pino 4). O sinal de entrada teve sua freqüência variada lentamente, até que o sistema sincronizou-se com o sinal de entrada na freqüência de 207,47Hz. O sincronismo permaneceu até a freqüência de 10,666 kHz.

A configuração descrita neste item é equivalente a uma rede em topologia cadeia simples e será utilizada para comparação com a configuração ensaiada no item 6.2, cujos resultados serão consolidados no quadro 1.

Ensaio de uma topologia de rede Enlace Simples

Para montar esta topologia, os sinais de sincronismo da rede estão realimentados e combinados com o sinal gerado pelo relógio principal (Gerador de Sinais). A configuração montada, cuja descrição funcional é apresentada na figura 11, está detalhada na figura 12. Optou-se por utilizar outro PLL (CD4046-1) para combinar o sinal de saída do nó mestre com o sinal de saída do nó 1. O multiplicador do comparador de fase interno do PLL (CD4046-1) será usado para obter a soma e a diferença de fase entre os sinais de fase da saída do nó mestre e do nó 1.

O filtro passa-baixas (LPF) desse PLL irá eliminar a soma dos sinais, permitindo a passagem apenas do sinal diferença, que será aplicado à entrada do nó 1 da rede [11].

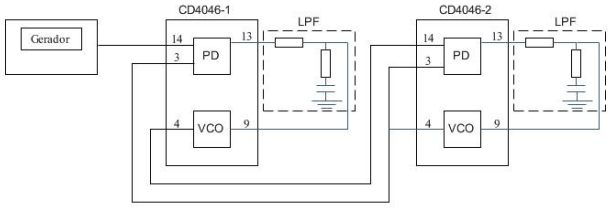

Figura 12 - Esquema elétrico do experimento com a rede Enlace Simples

Com o objetivo de comparar-se as duas topologias de rede de PLLs, Cadeia Simples e Enlace Simples, realizaram-se medições, comparando-se o tempo que as redes levaram para atingir o sincronismo após sofrer degraus de 0,5 a 6 kHz na freqüência de entrada do nó mestre (Gerador de Sinais) para as duas configurações. Os resultados foram apontados e apresentados na tabela 1.

Verificou-se que em média, a topologia Cadeia Simples apresentou um tempo 17,34% maior para atingir o sincronismo, após o mesmo degrau, se comparada com a topologia Enlace Simples. Os valores obtidos em cada faixa de freqüência experimentada foram resultado de uma média de três testes realizados. Este resultado permite indicar que, em condições similares, a rede enlace simples, atingiu uma situação de sincronismo estável, em tempo menor que a rede cadeia simples. Tal fato vem confirmar os resultados obtidos na simulação realizada no capítulo 5 deste trabalho.

CONCLUSÃO

Os PLLs (*Phase Locked Loops)* são hoje, circuitos extremamente versáteis, com aplicações em telecomunicações e em automação e controle. A associação de PLLs em redes permite aplicações voltadas para o sincronismo e para o estabelecimento de bases de tempo em sistemas de telecomunicações e computação.

Neste trabalho, foram estudados e modelados os PLLs, isoladamente e interligados em redes. Optou-se, em função da maior simplicidade, por comparar as configurações de rede Cadeia Simples e Enlace Simples. As análises foram feitas matematicamente, em seguida, por simulação, através do software e finalmente através de ensaios práticos em laboratório.

Comparando-se experimentalmente as duas topologias, observou-se que topologia Cadeia Simples apresentou um tempo 17,34% maior para atingir o sincronismo, se comparada com a topologia Enlace Simples, após degraus em freqüência equivalentes, fato este previsto pela simulação.

A partir da análise matemática, pode-se também constatar que, considerando a ocorrência de atrasos de propagação diferentes de zero, a topologia Cadeia Simples não atinge uma situação de equilíbrio assintoticamente estável, ao contrário da topologia Enlace Simples, que admite tal situação de equilíbrio. Comprova-se também, através dessa mesma análise matemática que, se as taxas de desvio de freqüência, devido às degradações de parâmetros do mestre e do escravo forem iguais e, adicionalmente, se os atrasos de propagação forem desprezíveis, a rede enlace simples irá obter uma situação de sincronismo estável.

Tabela 1 – Dados obtidos no estudo comparativo das topologias de rede

Faixa de Freqüência (kHz)	**Degrau aplicado (kHz)**	**Tempo para sincronismo (s)**		**Δ%**
		Cadeia Simples	**Enlace Simples**	
0,5	0,1	1,3	1	30,00%
0,5	0,2	1,6	1,4	14,29%
0,5	0,4	1,6	1,4	14,29%
0,5	1	1,7	1,4	21,43%
1	1	1,3	1,2	8,33%
1	2	1,7	1,6	6,25%
3	1	1,3	1,2	8,33%
3	2	1,7	1,6	6,25%
3	4	2,6	2,6	0,00%
3	6	4,2	3	40,00%
5	1	1,4	1,2	16,67%
5	2	1,8	1,7	5,88%
5	3	2,4	2,2	9,09%
5	4	3,4	2,4	41,67%
7	1	1,4	1,4	0,00%
7	2	2,4	1,8	33,33%
Média		**31,8**	**27,1**	**17,34%**

Cabe ressaltar também que, no ensaio experimental, obteve-se uma situação de equilíbrio na topologia Cadeia Simples, pois os atrasos envolvidos são considerados desprezíveis, em função dos curtos comprimentos dos cabos utilizados.

Esta pesquisa permitiu comparar as duas topologias de rede estudadas, permitindo que, outros trabalhos sejam aplicados a configurações topologicamente mais intrincadas, possibilitando dessa forma, análises mais complexas dos sistemas que envolvem sinais de tempo e sincronismo.

REFERÊNCIAS

[1] VIEIRA, R. Sincronismo em redes unidimensionais de osciladores de fase com atraso. Dissertação de Mestrado. Pós-graduação em Engenharia Elétrica da Universidade Presbiteriana Mackenzie. São Paulo, 2002

[2] GARCIA, P. A. Redes Simples de Malhas de Sincronismo de Fase: uma Análise via Teoria dos Sistemas Dinâmicos. Dissertação de Mestrado. Pós-graduação em Engenharia Elétrica da Universidade Presbiteriana Mackenzie. São Paulo, 2000.

[3] MARMO, C. N. Sincronismo em redes mestre-escravo de via única: estrela simples, cadeia simples e mista. 2003. 94f. Dissertação (Mestrado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo, 2001.

[4] FAVARETTO FILHO, D. N. Estudo comparativo de malhas de sincronismo de fase através da teoria de sistemas dinâmicos. Dissertação de Mestrado. Pós-graduação em Engenharia Elétrica, Universidade Presbiteriana Mackenzie. São Paulo, 2002.

[5] MONTEIRO, L. H. A; GARCIA, P. A; PIQUEIRA, J. R. C. Sincronismo em Redes Mestre-Escravo com Atraso, Revista Controle & Automação, São Paulo, v. 14, n. 2, p. 121-126, 2003.

[6] GUAN-CHYUN, H., HUNG, J. C.; Phase Lock Loop Techniques - A Survey; IEEE Transactions on Industrial Electronics; vol. 43; nr. 6; p. 609-615; Dezembro de 1996.

[7] PIQUEIRA J. R. C. (1997). Uma Contribuição ao Estudo das Redes de Malhas de Sincronismo de Fase. Tese de Livre-docência. Escola Politécnica da Universidade de São Paulo.

[8] TAKADA, E. Y. Análise do efeito jitter de fase na operação de malhas de sincronismo de fase. 2006. 52 f. Tese (Doutorado em Engenharia) - Escola Politécnica da Universidade de São Paulo, São Paulo, 2006.

[9] YAHATA, H.; Hybrid Clock Synchronization: Condition for the Existence of Steady State in a Ring Network. Electronics and Communications in Japan, Part I; Vol. 79; nr. 8; p. 24-39; 1996.

[10] MONTEIRO, L. H. A. Sistemas dinâmicos. 2. ed. São Paulo: Ed. Livraria da Física, 2006. ISBN 858832508X

[11] ALLDATASHEET. Datasheet search system. Disponível em http://www.alldatasheet.com/. Acesso em 27/08/2008.